

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-332545
(P2000-332545A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 3 F 1/56		H 0 3 F 1/56	5 J 0 9 1
H 0 4 B 1/18		H 0 4 B 1/18	B 5 K 0 6 2
			C

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平11-140014

(22) 出願日 平成11年5月20日 (1999. 5. 20)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 高木 光太郎

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74) 代理人 100110319

弁理士 根本 恵司 (外1名)

Fターム(参考) 5J091 AA04 AA51 CA36 CA75 FA18

HA09 HA25 HA29 HA33 KA68

SA01 SA13 TA01 TA02

5K062 AC02 BA02 BF05

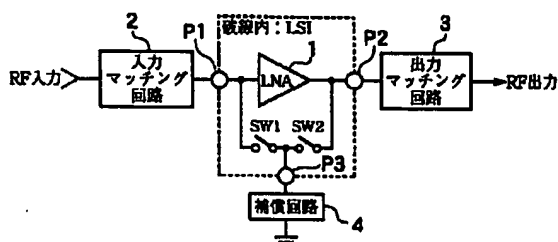
(54) 【発明の名称】 低雑音増幅器回路

(57) 【要約】

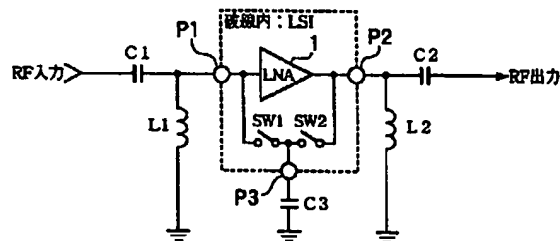
【課題】 低雑音増幅器 (LNA) 回路を L S I 内部に構成する場合にピン数を減らし回路構成を簡素化する。微弱入力時に設定したインピーダンスを強力入力時に補償し、回路の切換えによる R F 信号の入出力損失を抑える。

【解決手段】 LNA 1 とその入出力間を導通する SW 1、SW 2 を同一の I C チップ内に設け、これに、入、出力マッチング回路 2、3、インピーダンスの補償回路 4 を付加的に設ける。この構成により I C チップのピン数は 3 個でよい。微弱入力時に入、出力マッチング回路 2、3 の常数を設定してインピーダンスの整合を図り、強力入力時の回路切換時には、先の整合を補償回路 4 で補償し、R F 信号の入出力損失を抑える。この補償は、LNA 1、入、出力マッチング回路 2、3 等により構成される並列回路のインピーダンスが受信信号帯域において共振するよう補償回路 4 の常数を設定して行う。

(A)



(B)



【特許請求の範囲】

【請求項 1】 入力マッチング回路と低雑音増幅器と出力マッチング回路とを縦列接続し、前記低雑音増幅器の入出力間に該低雑音増幅器の入出力間を導通するスイッチと、該スイッチに接続しインピーダンスを補償する回路を備えた低雑音増幅器回路であって、前記スイッチを、前記低雑音増幅器の入出力間に直列に接続した二つのスイッチとし、該スイッチを互いに接続する接合部と接地間に前記補償回路を設けたことを特徴とする低雑音増幅器回路。

【請求項 2】 入力マッチング回路と低雑音増幅器と出力マッチング回路とを縦列接続し、前記低雑音増幅器の入出力間に該低雑音増幅器の入出力間を導通するスイッチと、該スイッチに接続しインピーダンスを補償する回路を備えた低雑音増幅器回路であって、前記スイッチを、前記低雑音増幅器の入出力間を導通する第 1 のスイッチ、及び該第 1 のスイッチから接地に至る第 2 のスイッチの二つとし、該第 2 のスイッチと接地間に前記補償回路を設けたことを特徴とする低雑音増幅器回路。

【請求項 3】 前記低雑音増幅器と前記スイッチとを同一チップ内に設け、該チップに、前記入力マッチング回路と前記出力マッチング回路と前記補償回路を付加的に設けたことを特徴とする請求項 1 又は 2 記載の低雑音増幅器回路。

【請求項 4】 前記低雑音増幅器が動作、前記スイッチが非導通して補償回路が分離されるとき、前記入力マッチング回路と前記出力マッチング回路は、前記低雑音増幅器の動作時の入出力インピーダンスと、前記スイッチの非導通時のインピーダンスが並列接続されたインピーダンスをそれぞれ見込むインピーダンスが、伝送回路の特性インピーダンスに整合するように、その常数を設定し、前記低雑音増幅器が非動作、前記スイッチが導通して補償回路が接続されるとき、該補償回路は、該補償回路と前記入力マッチング回路と前記出力マッチング回路と非動作時の低雑音増幅器により構成される並列回路のインピーダンスが、受信信号帯域において共振するように、その常数を設定したことを特徴とする請求項 1 乃至 3 記載の低雑音増幅器回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低雑音増幅器（以下、LNAという。）回路に関し、より詳細には、RF 入力信号電力が小さいときは、RF 入力を LNA で増幅し、RF 入力信号電力が一定値以上の大電力のときは、スイッチにより LNA の入出力間を導通する、即ち LNA をスルーする LNA 回路に関する。

【0002】

【従来の技術】符号分割多元接続（CDMA）方式等の受信系において、希望信号や妨害信号の RF 入力電力が大きい時、LNA 及び LNA の後段で信号が歪むのを防

ぐために、ある一定値以上の RF 入力信号電力が受信機入力端に加えられた時、LNA を経由する代りに LNA の入出力間をスイッチで導通するスルー回路を通過するようにすることが知られている（例えば、特開平 10-84300 号公報）。

【0003】図 10 は、従来の LNA 回路の回路構成図で、図中、31 は LNA、32 は入力マッチング回路、33 は出力マッチング回路、SW1～SW4 は半導体回路により構成されるスイッチである。LNA 31 とスイッチ SW1～SW4 は、LSI 等のチップ（図 10 の破線）内に構成され、そのノードが IC ピン P1～P6 として、入力マッチング回路 32、出力マッチング回路 33 等と接続される。

【0004】受信機への RF 入力信号電力が小さい時には、RF 入力信号は、スイッチ SW1 及び SW2 を導通、スイッチ SW3、SW4 を非導通、LNA 31 のバイアス電源を ON とすることにより、LNA 31 で増幅し、RF 出力から後段へ入力する。

【0005】RF 入力信号電力が大きくなると、LNA 31 及び後段で扱う信号電力が増大するため、各回路で歪みが発生し、受信性能劣化の原因となる。そこで、このような時には、RF 入力信号は、スイッチ SW1 及び SW2 を非導通、LNA 31 のバイアス電源を OFF とし、スイッチ SW3 及び SW4 を導通することにより、スイッチ SW3、SW4 を通過させる。このことにより、RF 入力信号は LNA 31 を介さずに後段へと受け渡される結果、LNA 31 における歪みは解消し、さらに、後段への信号レベルが LNA 31 を介した時よりも低くなるため、後段での歪みも解消する。なお、入出力マッチング回路 32、33 は LNA 31 に使用するトランジスタの入出力インピーダンスを 50 Ω に整合させるために使用する。

【0006】図 11 は他の従来の LNA 回路の回路構成図を示し、図 10 と異なる点は、スルー回路のスイッチをスイッチ SW3 のみとした点であり、スイッチ SW4 を省略することにより回路の簡略化とスルー時の挿入損失の軽減化を図ったものである。LNA 回路の動作は図 10 のそれと同じである。

【0007】これらの LNA 回路において、RF 入力信号電力が一定値以上のレベルに達する場合、スイッチ SW1 及び SW2 の非導通とともに LNA 31 のバイアス電源が OFF となるため、この段でそれまで得ることのできたゲインは、スイッチ SW3 及び SW4（図 10）、またはスイッチ SW3（図 11）の通過損失分に置き換わり、後段への信号レベルが LNA 動作時より低くなるために、LNA 31 ばかりでなく後段で発生する歪を抑制する効果がある。また、LNA 31 の入出力間をスルーするときは LNA 31 は使用しないので、そのバイアスを OFF として、LNA 31 に余分な DC 電流が流れないようにする。こうすることによって受信端末

の低消費電力化を実現し、バッテリー使用時間を延長することができるものである。

【0008】

【発明が解決しようとする課題】しかしながら、これらの回路は以下のような問題点がある。即ち、(1)スイッチSW1、SW2等のスイッチは、通常、半導体デバイスが使用され、FETが一般的である。また、LNA31の入、出力マッチング回路32、33はインダクタや容量等の受動素子で構成される。前述のように入、出力マッチング回路32、33はLNA31に使用するトランジスタの入出力インピーダンスを50Ωに整合するために構成するもので、その構成素子の損失はできるだけ低いものが望ましい。このため、入、出力マッチング回路32、33に使用するインダクタと容量は、IC内部では実現できず、外部回路となる。つまり、LNA31と、SW1、SW2等を同一のICチップ内に収めようとすると、図10、11のP1～P6で示す各ノードがICピンとして必要となり、そのピンの数は合計6ピンにも及ぶ。一般にICのコストは、ピン数が多いほど高く、従って従来回路はLSI化のためのコストが高いものになる。

【0009】(2)また、このようなLNA回路の配線の一つのICの周辺で行うことは、そのICを搭載するプリント基板の配線を著しく複雑なものとし、更に配線の複雑化は携帯端末のプリント基板スペースの増大、回路性能の劣化、回路構成の複雑化を招く。

【0010】(3)RF入力信号電力が小さく、LNA31のバイアス電源がONしている時に、スイッチSW1及びSW2の挿入による入出力損失が発生する。この微弱入力時は、小さい電力の信号をLNA31で増幅しなければならないが、スイッチSW1、SW2の損失分だけ何も無い時に比べて増幅度が低下する。特に、入力側のスイッチSW1はその損失分が直接NF(ノイズフィギュア)の悪化量と等しくなり、受信性能を劣化させる。また、LNA31の入出力インピーダンスによる入出力損失が生じる。

【0011】(4)これを避けるために、スイッチSW1とSW2を省略することが考えられるが、その場合、今度は入力が大きくなりスイッチSW3及びSW4(図10)、又はSW3(図11)を導通する時に、これらスイッチにLNA31に使用しているトランジスタ及び入、出力マッチング回路32、33が接続されたままになるため、インピーダンスによるミスマッチングロスが発生し、スイッチSW3及びSW4、又はスイッチSW3の挿入による入出力損失だけの場合に比べてはるかに大きな損失になる。その結果、入力信号電力が非常に大きい場合を除いて、後段への信号レベルが低くなりすぎて、正常な受信ができなくなる。

【0012】本発明は、上述の実情に鑑みてなされたもので、LNA回路をLSIで構成するときピン数を少な

くしてLSIを搭載するプリント基板の配線並びに回路構成を簡素化するとともに、入力信号が微弱な場合、入出力マッチング回路の常数により動作時のLNAや非導通時のスイッチを見込むインピーダンスの整合をとり、入力信号が強力な場合、前記常数により設定されたインピーダンスの整合を補償回路により補償して入力信号の入出力損失を防ぐLNA回路を提供するものである。

【0013】

【課題を解決するための手段】請求項1の発明は、入力マッチング回路と低雑音増幅器と出力マッチング回路とを縦列接続し、前記低雑音増幅器の入出力間に該低雑音増幅器の入出力間を導通するスイッチと、該スイッチに接続しインピーダンスを補償する回路を備えた低雑音増幅器回路であって、前記スイッチを、前記低雑音増幅器の入出力間に直列に接続した二つのスイッチとし、該スイッチを互いに接続する接合部と接地間に前記補償回路を設けたことを特徴とする。

【0014】請求項2の発明は、入力マッチング回路と低雑音増幅器と出力マッチング回路とを縦列接続し、前記低雑音増幅器の入出力間に該低雑音増幅器の入出力間を導通するスイッチと、該スイッチに接続しインピーダンスを補償する回路を備えた低雑音増幅器回路であって、前記スイッチを、前記低雑音増幅器の入出力間を導通する第1のスイッチ、及び該第1のスイッチから接地に至る第2のスイッチの二つとし、該第2のスイッチと接地間に前記補償回路を設けたことを特徴とする。

【0015】請求項3の発明は、請求項1又は2記載の低雑音増幅器回路において、前記低雑音増幅器と前記スイッチとを同一チップ内に設け、該チップに、前記入力マッチング回路と前記出力マッチング回路と前記補償回路を付加的に設けたことを特徴とする。

【0016】請求項4の発明は、請求項1乃至3記載の低雑音増幅器回路において、前記低雑音増幅器が動作、前記スイッチが非導通して補償回路が分離されるとき、前記入力マッチング回路と前記出力マッチング回路は、前記低雑音増幅器の動作時の入出力インピーダンスと、前記スイッチの非導通時のインピーダンスが並列接続されたインピーダンスをそれぞれ見込むインピーダンスが、伝送回路の特性インピーダンスに整合するように、その常数を設定し、前記低雑音増幅器が非動作、前記スイッチが導通して補償回路が接続されるとき、該補償回路は、該補償回路と前記入力マッチング回路と前記出力マッチング回路と非動作時の低雑音増幅器により構成される並列回路のインピーダンスが、受信信号帯域において共振するように、その常数を設定したことを特徴とする。

【0017】

【発明の実施の態様】図1(A)は、本発明の実施例を説明するためのLNA回路の回路構成図で、図中、1はLNA、2は入力マッチング回路、3は出力マッチング

回路、4は入出力インピーダンスの不整合を補償する補償回路、SW1、SW2は半導体回路で構成されるスイッチである。LNA1とスイッチSW1、SW2は、LSI（図1（A）破線内）で構成し、それらのノードに対応するピンP1～P3に他の回路部品を外部部品として接続する。

【0018】即ち、入、出力マッチング回路2、3を、それぞれピンP1、P2に接続し、スイッチSW1、SW2をLNA1の入出力間にLNA1をスルーするよう直列に配置し、補償回路4を、これら二つのスイッチSW1、SW2を互いに接続するノードのピンP3と接地間にLSIの外部部品として付加的に設ける。

【0019】RF入力信号電力が低いときは、LNA1のバイアスがON、スイッチSW1及びSW2は非導通となるので、RF入力はLNA1で増幅され、その後、RF出力として後段へ入力される。入力マッチング回路2は、LNA1の入力側を見込んだインピーダンスをそれ以前の段のインピーダンスと等しくすることにより、信号の伝送損失を最小にするために挿入する。また、同様に、出力マッチング回路3も、LNA1の出力側を見込んだインピーダンスを、それ以後の段のインピーダンスと等しくすることにより信号の伝送損失を最小にするために挿入する。

【0020】一般にRF回路の場合、伝送線路の特性インピーダンスは50Ωであるため、各回路の入出力インピーダンスも50Ωになるようにマッチング回路を挿入する。

【0021】図2は、LNA1に入、出力マッチング回路2、3が有る場合と無い場合について、850MHzにおけるバイポーラトランジスタを使用したLNA1の入力及び出力インピーダンスを、バイアス電流、即ちコレクタ電流が流れている時と流れていない時についてそれぞれスミス線図表示したもので、後述する図9のLNA回路をRFシュミレータによりシュミレーションして得たものである。

【0022】陸上移動体通信で使用される周波数帯、即ち数百MHzから2.2GHzにおける一般的な半導体素子即ちトランジスタの入出力インピーダンスは、容量性インピーダンスとなる。図1（A）において、入力信号電力が小さい場合、LNA1のバイアスはONとなっており、LNA1を構成するトランジスタのコレクタには電流が流れているため、入出力インピーダンスはそれぞれ、図2（A）のA及びBで示した値をとる。この場合も、入出力インピーダンスは共に容量性であることが分かる。従って、入出力インピーダンスを抵抗性50Ωに整合するための回路が必要になってくる。こうして設けるようにしたのが、図1の入、出力マッチング回路2及び3である。

【0023】図1（B）は、LNA1の入出力インピーダンスを50Ωにするための入、出力マッチング回路の

例を示す図で、図中、コンデンサC1及びインダクタL1により構成される受動素子回路が入力マッチング回路2、コンデンサC2及びインダクタL2より構成される受動素子回路が出力マッチング回路3に相当する。

【0024】これらの入、出力マッチング回路2、3をLNA1の前後に挿入し、その常数を、LNA1が動作、SW1、SW2が非導通で補償回路が分離された状態において、LNA1動作時の入出力インピーダンスと、SW1、SW2非導通時のインピーダンスの並列接続されたインピーダンスとをそれぞれ見込むインピーダンスが50Ωになるように設定する。この設定によりLNA1の入力側を見込んだインピーダンスは、図2（A）に示すAから図2（B）に示すA'になり、ほぼ50Ωに整合する。同様に、LNA1の出力側を見込むインピーダンスは、図2（A）に示すBから図2（B）に示すB'になり、こちらもほぼ50Ωに整合する。

【0025】RF入力信号電力が大きくなると、図1（A）のスイッチSW1及びSW2は導通となり、RF入力信号はLNA1を介さずにスイッチSW1及びSW2の回路を経て後段へ渡される。この時、使用しないLNA1のバイアスはOFFし、余分な電力を消費しないようにする。ここで、RF入力信号は入、出力マッチング回路2、3及びLNA1のトランジスタの入出力インピーダンスが接続されたまま、スイッチSW1及びSW2を介して出力されることになる。

【0026】この時、LNA1のバイアスがOFFとなっているので、その入出力を見込むインピーダンスはそれぞれ図2（A）のC及びDに示すインピーダンスとなる。これは、同図A及びBに示すバイアスONにおける入出力インピーダンスと著しく異なる。つまり、バイアスONにおいて常数を設定した入、出力マッチング回路が挿入されたままになっていると、LNA1の入出力を見込むインピーダンス即ち図1（A）のRF入力及びRF出力を見込むインピーダンスは50Ωにはならず、その入出力インピーダンスは図2（B）のC'及びD'のようになってしまう。このことにより、ミスマッチングロスが発生し、RF入力からRF出力の間で入出力損失が生じることになる。

【0027】この入出力損失は補償回路4により解消される。図1（A）に示したように、補償回路4はLNA1をスルーする時のみに入出力インピーダンスに影響を与える。LNA1が動作している時はスイッチSW1及びSW2は非導通なので、補償回路4は分離され、入、出力のマッチング回路1、3には影響を与えない。図1（B）は、LNA1の前後に挿入する入、出力マッチング回路2、3及びLNA1の非動作時に挿入する補償回路4の実回路例であり、補償回路4はコンデンサC3からなる受動回路素子で構成する。

【0028】ここで、補償回路4について述べる。スイッチSW1及びSW2が導通即ちLNA1をスルーする

時、LNA1は非動作で、その入出力インピーダンスが図2(A)のC及びDとなっている時のLNA1用のトランジスタは、図3に示す等価回路で近似することができる。このトランジスタの等価回路を図1(A)の回路に当てはめたものが図4(A)であり、この回路がLNA1をスルーした時の全等価回路を表わしている。

【0029】いま簡略のために、スイッチSW1及びSW2における損失がない、即ちON抵抗がゼロΩの状態で考えると、回路中、コンデンサCi、Co、C3、インダクタL1、L2、抵抗Ri、Roはすべて並列接続されることになる。更に簡略のために、抵抗を除くこれらの受動素子の無負荷Qが無限大であると仮定すると、コンデンサCi、Co、C3、インダクタL1、L2で構成される並列共振回路は、その共振周波数で以下に示す共振周波数f0を持ち、そのインピーダンスは無限大である。

$$f_0 = 1 / 2\pi \sqrt{LC}$$

ここで、 $L = L_1 L_2 / (L_1 + L_2)$ また $C = C_i + C_o + C_3$ である。

【0030】従って、共振周波数f0が携帯無線機の使用周波数に等しいか、あるいはそれに近い周波数になれば、等価回路は図4(B)の破線内に示す回路で表示することができるようになる。図4(B)から明らかなように、RF入出力間で信号の入出力損失となりうる素子はRiとRoそれにC1及びC2だけとなり、LNA1のバイアスがON時の入出力インピーダンス整合のために挿入されている入、出力マッチング回路2、3の影響を最小限に抑えることが可能となる。

【0031】図2(A)C及びDに示す入出力インピーダンスから、LNAのバイアスOFF時の抵抗成分即ちRi及びRoは、バイアスON時のそれより大きく、入出力損失には大きな影響を与えにくいことが明白である。従って、補償回路4として挿入されたコンデンサC3の値を上記共振回路の共振周波数が受信周波数近辺になるような常数に設定することにより、LNA1のスルー時の入、出力マッチング回路2、3とLNA1のOFF時の入出力インピーダンスによるミスマッチングロスをも最小限に抑えることが可能となる。

【0032】既述したように、図2(B)に示すC'及びD'は、それぞれ、このコンデンサC3による補償回路無しの場合の入出力インピーダンスを示す。これに対して、同図E及びFはコンデンサC3による補償回路がある場合の入出力インピーダンスである。

【0033】図5は、LNA回路の入出力特性を示す図で、850MHzにおけるLNAの利得、LNAがOFF時の補償回路が無い場合と有る場合の入出力損失を示す。LNAがOFF時、ミスマッチングロスの補償をしない場合の入出力間の損失は、利得約15dBに比して約6dBもの大きな値となり、逆に、入力信号電力が過大でもなく微少でもない中入力電力の時に後段への信号

レベルが足らなくなり受信性能劣化が引き起こされることになる。これに対して補償回路有りのときの入出力損失は約1.4dBに改善されていることが分かる。

【0034】図6は、本発明の他の実施例を説明するためのLNA回路の回路構成図で、図中、図1と同じ構成部品には同じ参照番号を付し説明を省略する。この回路構成では、LNA1の入出力間のスルー回路にLNA1の入出力をショートする第1のスイッチSW2と、この第1のスイッチSW2の入力部に接地に至る第2のスイッチSW1とを同一チップ内(図6(A)の破線内)に設け、該チップに、LNA1の入力部と出力部にそれぞれ入力マッチング回路2と出力マッチング回路3と、第2のスイッチSW1と接地間に入出力インピーダンスを補償する回路4を外部品として付加的に設ける。

【0035】この回路構成において、RF入力信号電力が低い時には、LNA1が動作、スイッチSW1及びSW2が非導通となり、RF信号はLNA1で増幅された後、RF出力から後段へ入力される。この時、入出力間の回路接続は、RF入力→入力マッチング回路2→LNA1→出力マッチング回路3→RF出力となっていて、これは図1(A)に示す接続と等価である。

【0036】RF信号入力が大きくなると、LNA1のバイアスをOFFし、スイッチSW1及びSW2は共に導通にする。こうすることにより、スイッチSW2一つのみでLNA1の入出力間をスルーすると共に、スイッチSW1により既述した補償回路4を挿入することが可能となる。簡略のためにスイッチSW1及びSW2の挿入による入出力損失が無い、即ちスイッチSW1及びSW2のON抵抗が0Ωであると仮定すると、この時の接続は図1(A)と等価になる。図6(B)は図6(A)の回路構成の実回路例を示す。図6のLNA回路においても図1のそれと同じ態様で、入、出力マッチング回路2、3や補償回路4の常数を設定することにより、同様の作用効果が得られる。

【0037】次にLNA回路の導通(スルー)制御について述べる。図7は、LNA動作・入出力非導通の状態と、LNA非動作・入出力導通(スルー)状態を切り換えるための機能を含んだ受信系回路全体の構成を示す図である。

【0038】RF入力(受信)信号は、高周波帯域濾波器(以下、IFBPFという。)5により帯域外の妨害信号などを除去した後に、入力マッチング回路2、LNA1、出力マッチング回路3、または補償回路4、スイッチSW1及びSW2により構成されるLNA回路を介しRFBPF6に入力される。RFBPF6でRFBPF5と同様に、無線システムで使用するRF帯域外の妨害信号を除去し、混合器7に入力する。RF入力信号は混合器7において局部発振器8からの局部発振信号と混合され、その出力に中間周波帯域濾波器IFBPF9を挿入することにより希望信号近傍の妨害信号等

を除去し、中間周波信号（以下、IF信号という。）を得る。

【0039】このIF信号はIF AGC増幅器10に入力され、後段のAD変換器12、15に入力する信号レベルを一定に保ち、AD変換器12、15のダイナミックレンジを有効に使用するようにレベルコントロールされる。レベルコントロールされたIF信号は混合器11及び混合器14に入力する。一方、局部発振器17より混合器11及び14に入力される2つの局部発振信号は、共にその周波数がIF信号の周波数に等しいが、お互いに位相が直交するように、混合器14に入力される局部発振信号は、 $\pi/2$ 位相シフト回路18により位相を回転させる。その結果、混合器11及び混合器14の出力には、互いに直交するベースバンド信号I及びQが現れる。

【0040】このベースバンド信号I及びQはそれぞれAD変換器12及び15に渡されてデジタル信号に変換され、デジタル変換されたベースバンド信号はそれぞれ低域濾波器（以下、LPFという。）13及びLPF16によってIF BPF9で充分に除去しきれなかった妨害信号を除去する。この2つのLPF13、16はデジタルフィルタにて実現される。その後、ベースバンド信号はDSP等によるいわゆるベースバンド処理を行なうベースバンド処理回路19へと渡される。このベースバンド処理回路19では、入力されたベースバンド信号のレベルを測定する。

【0041】ベースバンド処理回路19は、前段のIF AGC10のコントロールや、LNA1のコントロールを行なうので、前段のLNA1がLNA動作・入出力非導通か、LNA非動作・入出力導通かの状態及びIF AGC増幅器10のゲインは既知である。また、ベースバンド信号のレベルはIF信号のレベルと相関があり、IF信号のレベルはRF信号のレベルと相関があるから、ベースバンド信号処理回路19でベースバンド信号レベルを測定することは結果として受信RF信号電力を測定することと等価になる。

【0042】レベル測定の結果は図7の入力信号レベル判定ラインに反映され、IF AGCコントロール回路21で、AD変換器12、15の入力のIF信号レベルが一定になるようにIF AGC10のゲイン設定をし、一方、LNA ON/OFF SW ON/OFFコントロール回路20で、入力RF信号電力が微少な時にはLNA動作・入出力間非導通とし、入力RF信号電力がある値以上になるとLNA非動作・入出力間導通となるようにLNA1のバイアス及びスイッチSW1、SW2をコントロールする。また、この切り換えレベル付近でRF入力レベルが変化した時に、LNAブロックの切り換えが頻繁に起こらないようにヒステリシスを持たせる機能も、このベースバンド処理回路19は備える。

【0043】LNA回路をLSI内部で構成する場合の

回路構成について述べる。図8は、実際のLSI内部で図1のLNA回路を実現する場合の回路構成図で、図中、RF in及びRF outはそれぞれ図1におけるRF入力及びRF出力に相当し、また、コンデンサC1及びインダクタL1からなる回路は入力マッチング回路を構成し、コンデンサC2及びインダクタL2からなる回路は出力マッチング回路を構成する。さらにコンデンサC3は補償回路を構成する。これらの回路はすべてLSI外部の外付け部品である。

【0044】一方、抵抗R1～R3及びR6とトランジスタQ4～Q8により構成される回路は直流バイアス用回路で、抵抗R6を流れる基準電流と等しい電流がトランジスタQ6とQ7からなるカレントミラー回路によってトランジスタQ5に流れ、さらに抵抗R1～R3及びトランジスタQ4及びQ5により構成される回路によって、LNA用のトランジスタQ1にトランジスタQ5に流れる電流と等しい電流が供給される。トランジスタQ1の入出力即ちベース端子とコレクタ端子はQ2及びQ3からなるN-chのCMOSFETの直列回路により接続されている。このCMOSFET Q2及びQ3が図1(A)のスイッチSW1及びSW2に相当する。

【0045】ここで、Cnt端子に外部から、2値の信号を加えることによってLNAの2つのモード切り換えを実現する。2値の外部信号は、LNA ON/OFF SW ON/OFFコントロール回路20（図7）から与えられる。なお、コンデンサC5は二つのスイッチSWがONした時に、電源と接地間が直流的にショートしないように挿入される直流カット容量で、同じく、コンデンサC6も外付けのマッチング用インダクタL1によってトランジスタQ1のベースが直流的に接地されるのを防止するための直流カット容量である。

【0046】図8の回路の場合、入力RF信号が微少であれば、ベースバンド処理回路19（図7）でそのレベルを測定し、Cnt端子にLowレベル信号即ち接地電位に等しい電圧が印可されるようにベースバンド処理回路19からコントロールされる。その結果、CMOSFET Q2及びQ3のゲートには抵抗R4を介して0Vの直流電圧が印可される。従って、CMOSFET Q2及びQ3は共にOFFとなり、ドレインとコレクタ間のインピーダンスの絶対値は非常に高い値になり、CMOSFET Q2及びQ3からなるスイッチ回路はOFFとなる。

【0047】一方、インバータINVから抵抗R5へと至る接続では、インバータ出力ではH信号即ちVccに等しい直流電圧が出力されるため、抵抗R5を介してトランジスタQ8のベースに電流が流れ込む。その結果、トランジスタQ8はONしてそのコレクタとエミッタ間には直流的にショートされたのとほぼ同等の状態となるため、抵抗R6に基準電流irefが流れる。その結果、Q1のLNAトランジスタにバイアス電流が流れ、LN

AトランジスタQ1は動作状態になる。以上より、LNA動作・SW非導通の状態が得られる。

【0048】C1、L1、C2、L2からなる入出力マッチング回路は、この状態でLNAを見込むインピーダンスが50Ωになるような値(常数)に設定される。従って、入力微小なRF信号はSWを介することなく、かつインピーダンス不整合による入出力損失を伴うことなくLNAにより増幅され後段へ受け渡される。

【0049】次に、入力信号がある一定の値以上になった時、ベースバンド処理回路19はそのレベルを測定し、Cnt端子にHighレベル信号即ち電源電圧に等しい電圧が印可されるようにコントロールする。その結果、CMOSFETQ2及びQ3のゲートには抵抗R4を介してVccに等しい直流電圧が印可される。従って、CMOSFETQ2及びQ3は共にONとなり、ドレインとコレクタ間のインピーダンスは低くなり、CMOSFETQ2及びQ3からなるスイッチ回路はONとなる。

【0050】一方、インバータINVから抵抗R5へと至る接続中、インバータ出力ではLowレベル信号即ち接地電位に等しい直流電圧が出力されるため、トランジスタQ8のベース電流は流れない。その結果、トランジスタQ8はOFFとなり、そのコレクタとエミッタ間は直流的に開放されたのと同様の状態となるため、抵抗R6の基準電流irefは流れなくなる。その結果、トランジスタQ6、Q7で構成されるカレントミラー回路にも電流が流れなくなるため、LNAトランジスタQ1のバイアス電流も0になる。以上より、LNA用のトランジスタ回路は非動作・SW導通の状態になる。

【0051】CMOSFETQ2のドレインとCMOSFETQ3のソースの間に接続される外付け容量C3は、これらQ2及びQ3がONしているこの状態の時に、LNA用トランジスタQ1のベース・コレクタとGND間に並列接続されるため、受信信号周波数帯域において、インダクタL1及びL2からなる誘導成分を、LNA用トランジスタQ1がバイアス電流無しの時に有する容量成分との並列容量の合計で打ち消す、即ち共振するように、その容量値(常数)を設定することにより、RF入力とRF出力の端子間で発生する入出力損失を最小限に抑えることができる。

【0052】図9は、実際のLSI内部で図6のLNA回路を実現する場合の回路構成図で、図中、CMOSFETQ2及びQ3が図6のスイッチSW1及びSW2に対応する。その他の部分は、図8の構成と同等である。入力信号電力が微小な時は、ベースバンド処理回路20(図7)からのコントロールにより、Q2及びQ3からなるFETスイッチはOFFとなる。一方、入力電力が一定レベルより高くなると、ベースバンド処理回路20は、CMOSFETQ2及びQ3をONするよう、電源電圧に等しい電位をCnt端子より供給する。

その結果、CMOSFETQ3によりLNAの入出力間がスルーされ、CMOSFETQ2によって補償回路C3が挿入される。

【0053】この回路をRFシミュレータでシミュレーションした結果得られたインピーダンス及び入出力損失等の値を図2、図5について付言する。図2(A)のA及びBのインピーダンスは、それぞれ、図9のCnt端子に接地電位が供給されている状態、即ちLNA動作・入出力非導通の状態において、入出力マッチング回路のL1、L2、C1、C2をはずした時の、トランジスタQ1のベース入力及びコレクタ出力を見込んだインピーダンスである。図2(A)のC及びDは、Cnt端子に電源電圧が供給されている状態、即ちLNA非動作・入出力導通の状態における、入出力マッチング回路のL1、L2、C1、C2をはずした時の、トランジスタQ1のベース入力及びコレクタ出力を見込んだインピーダンスである。

【0054】図2(B)のA'及びB'は、それぞれ、図9において入、出力マッチング回路L1、C1、L2、C2を挿入し、LNA動作・入出力非導通の状態にした時のRFin端及びRFout端を見込んだインピーダンスを表わしている。図2(B)のC'及びD'は、それぞれ、図9において入、出力マッチング回路L1、C1、L2、C2を挿入し、但し、C3による補償回路は接続せず、LNA非動作・入出力導通の状態にした時のRFin端及びRFout端を見込んだインピーダンスを表わしている。

【0055】図2(B)のE及びFは、それぞれ、図9において入出力マッチング回路L1、C1、L2、C2を挿入し、かつC3による補償回路を接続して、LNA非動作・入出力導通の状態にした時のRFin端及びRFout端を見込んだインピーダンスをあらわしている。図3は既述のとおり、図9のLNA回路の入出力特性を示し、LNA動作・入出力非導通の状態における増幅度、コンデンサC3による補償回路は接続せず、LNA非動作・入出力導通の状態にした時の損失、コンデンサC3による補償回路を接続して、LNA非動作・入出力導通の状態にした時の損失を示す。

【0056】

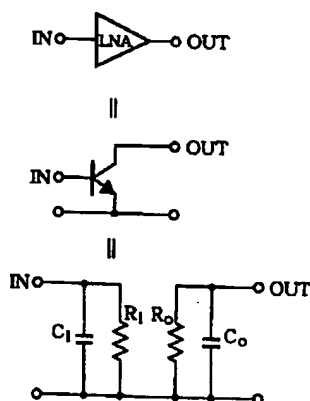
【発明の効果】請求項1に対応する効果：二つのスイッチ数(回路数)でLNA回路を実現できるので、回路構成を簡素化することができ、ひいては回路スペースの低減が可能となる。デイスクリートで回路構成を実現する場合、携帯端末の基板スペースを最小限にとどめることができ、低コスト化を図ることができる。また、LSI内部で実現する場合には、スイッチ用のFETは、高周波的なON抵抗を下げるために非常に大きなゲート幅を必要とするが、スイッチ数の減少によりLSIのマスク面積を大幅に削減することができることとなり、結局低コスト化に寄与する。また、入力信号電力が小さい場

合、スイッチが信号線に直列に挿入されていないので、入力信号はスイッチを通過することなく、スイッチ挿入による入出力損失やNF（ノイズフィギュア）劣化を防ぐとともにLNAの入出力インピーダンスによる入出力損失を防ぐことができる。更に補償回路の取付けが容易になる。

【0057】請求項2に対応する効果：二つのスイッチ数（回路数）でLNA回路を実現できるので、回路構成を簡素化することができ、ひいては回路スペースの低減が可能となる。ディスクリートで回路構成を実現する場合、携帯端末の基板スペースを最小限にとどめることができ、低コスト化を図ることができる。また、LSI内部で実現する場合には、スイッチ用のFETは、高周波的なON抵抗を下げるために非常に大きなゲート幅を必要とするが、スイッチ数の減少によりLSIのマスク面積を大幅に削減することができることとなり、結局低コスト化に寄与する。また、入力信号電力が小さい場合、スイッチが信号線に直列に挿入されていないので、入力信号はスイッチを通過することなく、スイッチ挿入による入出力損失やNF（ノイズフィギュア）劣化を防ぐとともにLNAの入出力インピーダンスによる入出力損失を防ぐことができる。更に、入力信号電力が大きい場合、信号線に直列に挿入されるスイッチは一つのみであるので、損失は特に問題にならない。

【0058】請求項3に対応する効果：請求項1又は2の発明の効果に加えて、LNA回路をLSIで構成する場合にピン数の増加を最小限（3個）にとどめることができ、LSIの低コスト化に役立つ。また、LNA回路の配線を一つのICの周辺で行う場合、そのICを搭載するプリント基板の配線が簡単となるので、プリント基板スペースの増大化の防止や回路性能の劣化の阻止に役

【図3】



立つ。

【0059】請求項4に対応する効果：請求項1乃至3の発明の効果に加えて、入力信号電力が小さい場合であって、動作状態のLNAに非動作状態のスイッチがぶら下がり補償回路が分離した状態において、LNAの入出力インピーダンスや非動作状態のスイッチのインピーダンスによる入出力損失を防ぐことができ、入力信号電力が大きくスイッチが導通した場合に、先の微小入力時に設定された常数の入力マッチング回路及び出力マッチング回路や非動作のLNAが接続したままの状態において、これら入力マッチング回路及び出力マッチング回路、非動作時のLNAの入出力インピーダンスによる入出力損失を最小限に抑えることができる。

【図面の簡単な説明】

【図1】本発明のLNA回路の回路構成図である。

【図2】LNAの入出力インピーダンスを表すスミス線図である。

【図3】LNAの等価回路を示す図である。

【図4】本発明のLNA回路のスルー時の等価回路を示す図である。

【図5】LNA回路の入出力特性を示す図である。

【図6】本発明の他のLNA回路の回路構成図である。

【図7】本発明のLNA回路の制御回路図である。

【図8】図1のLNA回路の実装回路構成図である。

【図9】図6のLNA回路の実装回路構成図である。

【図10】従来のLNA回路の回路構成図である。

【図11】従来の他のLNA回路の回路構成図である。

【符号の説明】

1…LNA、2…入力マッチング回路、3…出力マッチング回路、4…補償回路、SW1、SW2、SW3、SW4…スイッチ。

【図5】

入出力特性

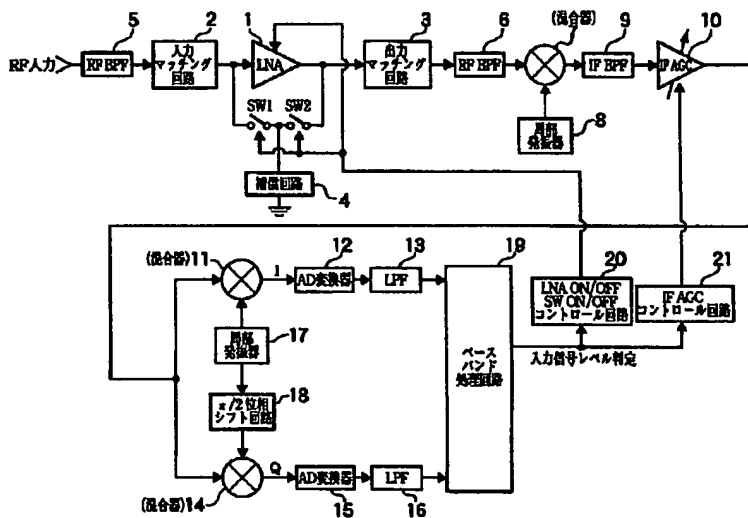
RF周波数	利得*	入出力損失**	入出力損失***
850MHz	15.858dB	6.076dB	1.420dB

* … LNA ON

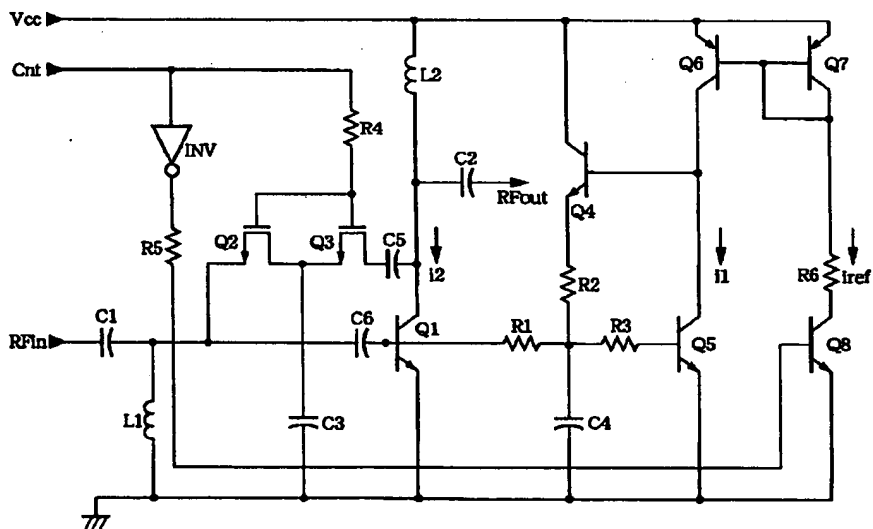
** … LNA OFF, 補償回路無し

*** … LNA OFF, 補償回路有り

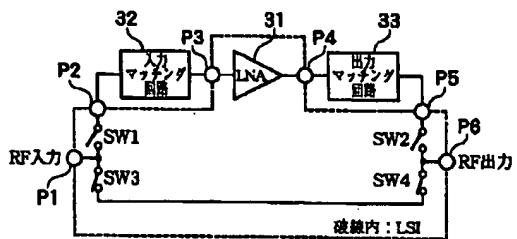
【图 7】



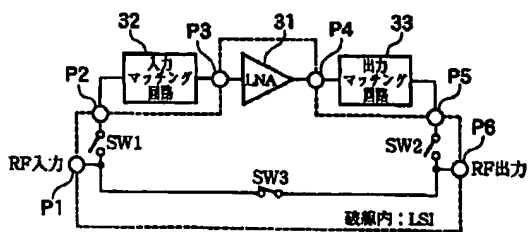
【图 8】



【☒ 10】



【图 1 1】



The diagram shows a differential-mode half-circuit of a 100-MHz CMOS differential amplifier. The circuit is powered by V_{CC} and ground. The input signal RF_{in} is coupled through capacitor $C1$ to the gate of transistor $Q1$. A feedback network consisting of inductor $L1$ and capacitor $C3$ is connected from the output of $Q1$ back to its gate. The gate of $Q1$ is also biased by a combination of a current source $I2$ (implemented with transistors $Q2$ and $Q3$ and capacitor $C5$) and a resistor $R5$ connected to the control input Cnt . The control input Cnt is also connected to an inverter INV and a resistor $R4$. The drain of $Q1$ is connected to V_{CC} through inductor $L2$ and to ground through capacitor $C2$, which is the output RF_{out} . The source of $Q1$ is connected to ground through capacitor $C6$. The differential-mode half-circuit is completed by a tail current source $I1$ (implemented with transistors $Q4$ and $Q5$ and resistor $R2$) connected to the sources of $Q1$ and $Q2$. The gates of $Q4$ and $Q5$ are biased by a combination of a resistor $R1$ connected to the drain of $Q1$ and a resistor $R3$ connected to V_{CC} . The drains of $Q4$ and $Q5$ are connected to V_{CC} through inductor $L2$. The sources of $Q4$ and $Q5$ are connected to ground through capacitor $C4$. The output of the half-circuit is taken from the drain of $Q1$ through capacitor $C2$. The tail current source $I1$ is implemented with transistors $Q6$ and $Q7$ and resistor $R6$, which is biased by V_{CC} and Cnt . The output of the tail current source is connected to the sources of $Q4$ and $Q5$. The gates of $Q6$ and $Q7$ are connected to V_{CC} and Cnt respectively. The sources of $Q6$ and $Q7$ are connected to ground through capacitor $C4$. The output of the tail current source is connected to the sources of $Q4$ and $Q5$.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.